

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-172533

(43)Date of publication of application : 19.06.1992

(51)Int.Cl.

G06F 9/305

(21)Application number : 02-299940

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 07.11.1990

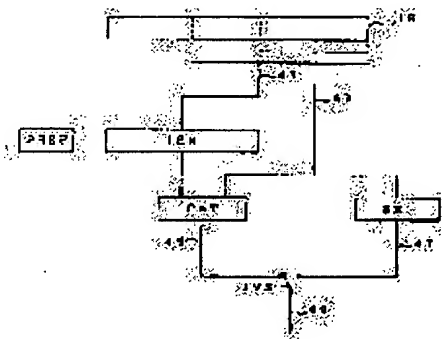
(72)Inventor : IWASA SHIGEAKI

(54) ELECTRONIC COMPUTER

(57)Abstract:

PURPOSE: To suppress the increase in number of instructions and in a period of time for interpreting an instruction in a fixedlength instruction type computer by making the bit length of an immediate field for an immediate arithmetic instruction extensible to a necessary size.

CONSTITUTION: When the number of bits representing a constant subject to processing exceeds the number of bits of an immediate field for an immediate instruction, an excessive part is provided with an immediate value prefixed instruction. The immediate value prefixed instruction is executed immediately before the immediate value instruction, an immediate value extended register IER is supplied with a value of immediate field, and the statement that a value is set in IER is stored in a prefixing state storage means PREF. Successively, when an immediate value instruction is executed, a value obtained by connecting the upper value of the immediate field for an immediate instruction and the content of IER is used as a constant to execute processing of the immediate value instruction. With this, arithmetic operation for a constant having a large value is efficiently carried out without using a work register.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑫ 公開特許公報(A) 平4-172533

⑤ Int. Cl.

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)6月19日

G 06 F 9/305

9189-5B

G 06 F 9/30

3 4 0 F

9189-5B

3 4 0 A

審査請求 未請求 請求項の数 1 (全6頁)

⑭ 発明の名称 電子計算機

⑯ 特 願 平2-299940

⑰ 出 願 平2(1990)11月7日

⑱ 発 明 者 岩 佐 繁 明 神奈川県川崎市幸区小向東芝町1 株式会社東芝総合研究所内

⑲ 出 願 人 株式会社東芝 神奈川県川崎市幸区堀川町72番地

⑳ 代 理 人 弁理士 三好 秀和 外1名

明 細 書

1. 発明の名称

電子計算機

2. 特許請求の範囲

即値命令と、即値命令の直前に実行され即値の上位を指定する即値前置命令を持つ電子計算機に於いて、即値前置命令を保持する命令レジスタの即値フィールドから供給される値を処理対象となる定数の上位として記憶する即値拡張レジスタと、即値前置命令実行時にセットされ即値前置命令以外の命令の終了時にリセットされる前置状態記憶手段と、前記前置状態記憶手段がセットされている時に即値命令を保持する命令レジスタの即値フィールドを前記定数の下位として前記即値拡張レジスタの内容と連結して前記定数を生成する連結手段と、前記前置状態記憶手段がリセットされている時に即値命令を保持する命令レジスタの即値フィールドを処理の種類に応じてビット拡張して前記定数を生成するビット拡張手段と、前記前置状態記憶手段の値に応じて処理に使用する定

数を前記連結手段と前記ビット拡張手段とから選択する選択手段とを有することを特徴とする電子計算機。

3. 発明の詳細な説明

〔発明の目的〕

(産業上の利用分野)

本発明は、即値演算命令を有する電子計算機に関し、特に即値オペランドの供給方法に関する。

(従来の技術)

電子計算機の機械語命令には、定数演算のための即値演算命令がある。この即値演算命令は、命令内に即値オペランドを持ち、演算の対象となるレジスタ番号や即値の値を命令のビットフィールドに持つ。ここで、この即値演算命令の命令フォーマットにおいて、各フィールドに必要なビット数を考える。レジスタ番号を指定するフィールドについては、一般に、レジスタ番号は、ソフトウェアからアクセスできるレジスタの数を N_r とすると $[\log 2 N_r]$ ビットのフィールドを持つことで指定できる。例えば、8～16本のレジ

スタを持つ電子計算機では、3～4ビット必要となる。また、即値の値のフィールドは、電子計算機が扱い得る全ての値を表現するために、レジスタのビット幅（通常32ビット）と同じビット数が必要である。

命令長可変型の電子計算機では、全幅（32ビット）の即値フィールドを命令中に持つことができる。しかしながら、実際のプログラムでは、即値命令は小さい値の定数に対する演算として用いられることが多く、全ての即値演算に長いビットフィールドの即値オペランドを用いたのでは、命令のビットフィールドを有効に使用できない。メモリの供給能力は一定であるので、電子計算機の性能を高めるためには、無効な部分を取り除き、命令長を短くすることが肝要である。そのため、このような電子計算機では、即値フィールドのビット幅を短くした短形式即値命令を別途持つものが多い。例えば、モトローラ社のMC68000シリーズの命令セットでは、32、16、8ビットの即値オペランド形式のほかに、3ビットの形式

フィールドの長さが32ビット未満に制限され、32ビットの値を持つ即値演算が出来ない。従って、即値フィールドで表現できない値の定数を用いる演算では、一旦レジスタに必要な定数を計算で求めた後、レジスタ間演算として実行する。即ち、本来1命令で実行できるはずの即値演算が、レジスタへのロード命令（上位ワード）、シフト命令、即値論理和命令（下位を与える）、レジスタ間演算の4命令で実行されることになる。以上の説明は、即値フィールドのビット幅が表現したい値のビット幅の2分の1以上ある場合で、必要な値のビット幅が更に長い場合は、必要だけシフト命令と即値論理和命令を繰り返す。このように、命令長固定型の電子計算機では、大きな値の定数に対する演算に時間が掛かるうえに、作業用のレジスタを必要とするという問題があった。

（発明が解決しようとする課題）

以上の様に、従来の命令長固定型の電子計算機では、即値演算を実行する際に、大きな値の定数に対する演算に時間が掛かり、また、作業用の

を備えている。即値フィールドが演算に必要なビット数より小さい場合は、符号拡張又は単に上位に0を付加して演算に用いる。即値演算は、加減算、論理演算等のほとんどの演算命令とレジスタロード命令が必要であり、これらの命令を各々複数個持つことにより命令数が増え、このため、命令の解釈に時間が掛かる。以上の様に、命令長可変型の電子計算機では、命令のビットフィールドを有効に利用できなかったり、命令数が増大するなど、性能を損なうという問題があった。

他方で、このような問題を解決するために、最近、命令数を少なくし、更に命令長を固定長とすることで、命令の取り出し及び解釈を簡略化し、命令の実行を高速に行なう電子計算機が提案されている。所謂、RISCと呼ばれる方式である。

この命令長固定型の電子計算機では、命令長をメモリの読み出し幅である32ビット又はその2分の1とすることが多い。これは、レジスタ間演算など多くの命令がこのビット幅で十分に表現できることに由来する。しかし、即値命令は即値フ

レジスタを必要とするという欠点があった。

本発明は、上記問題点を解決するもので、その目的は、命令長固定型の電子計算機に於いても、即値命令を実行する際の大きな値の定数に対する演算を効率良く行なうことの出来る電子計算機を提供することである。

〔発明の構成〕

（課題を解決するための手段）

前記課題を解決するために、本発明の特徴は、即値命令と、即値命令の直前に実行され即値の上位を指定する即値前置命令を持つ電子計算機に於いて、第1図に示す如く、即値前置命令を保持する命令レジスタIRの即値フィールドから供給される値を処理対象となる定数の上位として記憶する即値拡張レジスタIERと、即値前置命令実行時にセットされ即値前置命令以外の命令の終了時にリセットされる前置状態記憶手段PREFと、前記前置状態記憶手段PREFがセットされている時に即値命令を保持する命令レジスタIRの即値フィールドを前記定数の下位として前記即値拡

張レジスタ I E R の内容と連結して前記定数を生成する連結手段 C A T と、前記前置状態記憶手段 P R E F がリセットされている時に即値命令を保持する命令レジスタ I R の即値フィールドを処理の種類に応じてビット拡張して前記定数を生成するビット拡張手段 B X と、前記前置状態記憶手段 P R E F の値に応じて処理に使用する定数を前記連結手段 C A T と前記ビット拡張手段 B X とから選択する選択手段 I V S とを具備することである。

(作用)

本発明の電子計算機では、処理の対象となる定数を表現するビット数が即値命令の即値フィールドのビット数を越える場合は、越えた部分を即値前置命令で与える。即値前置命令は即値命令の直前に実行され、即値拡張レジスタ I E R に即値フィールドの値を供給し、前置状態記憶手段 P R E F に即値拡張レジスタ I E R に値が設定されている旨を記憶する。続いて、即値命令が実行されると、即値命令の即値フィールドの上位と即値拡張レジスタ I E R の内容とを連結した値を定数と

して用いて即値命令の処理を実行する。

また、定数が即値フィールドのビット数で表現できる場合は、処理は単独の即値命令で指定される。この場合、即値命令の直前の命令は即値前置命令でないので、即値命令が実行される時点で、前置状態記憶手段 P R E F は即値拡張レジスタ I E R に値が設定されていない旨を示しており、即値フィールドの値を処理の種類に応じて符号拡張又は上位に 0 を付加して、即値命令の処理を実行する。

(実施例)

以下、図面に基づいて本発明の実施例を説明する。第 2 図は本発明の一実施例に係る固定長命令型の電子計算機の機械語命令フォーマットを示す図、第 3 図は該電子計算機の構成を示す図である。

第 2 図に示すように、機械語命令は 32 ビットの固定長で、即値演算命令の場合、上位 8 ビット (bit31-24) が命令の種類を示す O P フィールド、続く各 4 ビットの 3 つのフィールド (bit23-20、

bit19-16、bit15-12) が各々演算結果を格納するデスティネーションレジスタ (R D)、算術論理演算器 A L U の入力となる第 1 ソースレジスタ (R S 1)、及び、第 2 ソースレジスタ (R S 2) を指定するフィールドで、下位 12 ビット (bit11-0) が即値フィールド (I m m 12) である。

尚、この電子計算機は、32 ビットの算術論理演算器 A L U を持つので、命令の即値フィールドは最大 32 ビットが必要であるが、第 2 図に示されるように即値フィールドは 12 ビットである。また、32 ビット×15 本のレジスタファイル R F を持つので命令のレジスタフィールドは 4 ビット必要である。

各レジスタフィールドのビットパターンが 0000 である場合、レジスタファイル R F は内部のレジスタをアクセスしない。即ち、R D = 0 の場合、レジスタファイル R F の書き込みデータポート W に与えられた値は何れのレジスタにも書き込まれず、演算結果は捨てられる。また、R S 1 = 0 の場合は、第 1 ソースオペランドとして第 1 読

み出しポート R A から値 0 を供給する。これは A N D 命令をレジスタクリアに用いたり、符号判定を行なったり、レジスタ間転送を行なったりする場合に利用する。更に、R S 2 = 0 の場合は、第 2 ソースオペランドとして即値を用いることを意味し、即値演算命令で用いる。この様なレジスタ指定を許すことで 1 つの演算命令で種々の演算を実現することが出来る。以上の命令の読み代えはアセンブラのコードジェネレータが行なう。

次に、即値前置命令の命令フォーマットは、上位 8 ビット (bit31-24) が O P フィールドで即値前置命令であることを示す。続く 4 ビット (bit23-20) は 0000 である。下位 20 ビット (bit19-0) は即値演算命令の即値フィールドに入り切らなかった部分が格納される。つまり、演算の対象となる定数の値が 12 ビットで表現できない場合は、定数のビットパターンを下位 12 ビットと上位 20 ビットに分割し、上位は即値前置命令の即値フィールドに、下位は即値演算命令の即値フィールドに埋め込んで命令を生成する。以上の命

令の分割の必要性の判断、即値前置命令の挿入はアセンブラのコードジェネレータが行なう。

第3図に従って、本発明の一実施例に係る電子計算機の動作を説明する。尚、同図は本発明に関する部分のみを示しており、本発明の特徴は、即値拡張レジスタ I E R、前置状態フラグ P R E F、符号拡張器 S X、零拡張器 Z X、連結器 C A T、及び、即値選択器 I V S 1 及び I V S 2 から構成される即値生成部 I V G にある。また、命令はすでに命令レジスタ I R に格納されているとし、その手段は既知である。

命令レジスタ I R の bit 31-24 は O P フィールドであり、配線 51 を通して命令デコーダ D C D に供給される。bit 23-30、bit 19-16、bit 15-12 は各々デスティネーションレジスタ (R D)、第1ソースレジスタ (R S 1)、第2ソースレジスタ (R S 2) を指定するフィールドであり、レジスタファイル R F のポートアドレス入力端子 A W、A R A、A R B に、各々配線 53、55、57 を通して供給され、レジスタアクセスを行なう。bit

また同時に、レジスタファイル R F の読み出しポートアドレス A R A、A R B に対してそれぞれ供給される命令レジスタ I R の bit 19-16、bit 15-12 は、即値オペランドの一部であり、また、レジスタファイル R F は指示されたレジスタをポート R A、R B から読み出して算術論理演算器 A L U に供給し、算術論理演算器 A L U は命令デコーダ D C D から出力される無意味なビットパターンに従って、何等かの演算をこれらの値に対して行なうが、レジスタファイル R F の書き込みポートアドレス W A に供給される即値前置命令の bit 23-20 が 0000 であるために、レジスタへの書き込みが行なわれず、演算フラグレジスタ F のセットも指示されないで、不都合な副作用は発生しない。

他方で、命令デコーダ D C D が即値演算命令であると判断した場合には、演算フラグレジスタ F へのセットを指示し、即値生成部 I V G に対して、演算の種類に応じて即値の符号の有無を指示する。即値生成部 I V G は、前置状態フラグの内容と即値の符号の有無により3種類の動作を行なう。即

bit 11-0 は即値フィールド (I m m 12) であり、配線 59 を通して連結器 C A T、符号拡張器 S X、零拡張器 Z X に供給される。また他方で、bit 19-0 は即値前置命令に於いて即値フィールド (I m m 20) であり、配線 61 を通して即値拡張レジスタ I E R に供給される。

命令デコーダ D C D が命令を解釈し、即値前置命令であると判断した場合、即値フィールド (bit 19-0) を即値拡張レジスタ I E R に取り込み、前置状態フラグ P R E F をセットする。この時、即時前置命令は算術論理演算器 A L U を使用しないので、演算フラグレジスタ F の値の更新禁止を指示する。即値前置命令は前置命令であり、続く命令と連続して実行される必要があるため、命令の実行が終了する際に割り込みを受け付けられないようにするか、或いは、割り込みを受け付ける場合は、前置状態フラグ P R E F と即値拡張レジスタ I E R の値を内部状態に含めて退避する必要がある。尚、前置状態フラグ P R E F は即時前置命令以外の命令の実行終了時にリセットされる。

ち、前置状態フラグ P R E F がセットされていれば、即値拡張レジスタ I E R を上位とし、即値演算命令の即値フィールドである命令レジスタ I R の bit 11-0 を下位として連結器 C A T により連結した値を即値選択器 I V S 2 が選択する。また、前置状態フラグ P R E F がセットされておらず、演算が符号付きであれば、命令レジスタ I R の bit 11-0 を符号拡張器 S X で符号拡張した値を即値選択器 I V S 1 及び I V S 2 が選択する。更に、前置状態フラグ P R E F がセットされておらず、演算が符号無しであれば、命令レジスタ I R の bit 11-0 を零拡張器 Z X で零拡張した値を即値選択器 I V S 1 及び I V S 2 が選択する。

次に、即値選択器 I V S 2 の出力は選択器 S に供給され、ここで、第2ソースレジスタフィールド R S 2 が 0 であると、選択器 S はレジスタファイル R F の第2読み出しポート R B からの値に代えて、即値選択器 I V S 2 の出力を選択し、算術論理演算器 A L U の入力端子 B に供給され、即値演算が実行される。このようにして即値演算命令

が実行され、実行終了時に前置状態レジスタ P R E F はリセットされる。

尚、本実施例においては、第 2 ソースレジスタフィールド R S 2 が 0 であると即値演算を行なうという指定方式を用いたが、命令の O P フィールドで即値演算である旨を指定する方式の実施例に於いても、本発明が有効であることは言うまでもなく、即値演算命令の指定方式は、本発明の有効性を妨げるものではない。

〔発明の効果〕

以上の様に本発明によれば、固定長命令型の電子計算機に於いて、命令の種類を 1 つ増やすだけで、演算の種類毎に存在する即値演算命令の即値フィールドのビット長を、演算器が必要とする大きさに拡張することが出来る。このため、命令数の増加が抑えられ、命令の解釈時間が増加しないという効果があり、それでいて、即値命令の大部分を占める小さな値の定数に対する演算は従来通りの命令数と命令ビット長で実行できるという効果がある。また、即値フィールドのビット長が制

限された電子計算機と比べて、同一の即値演算を少ない命令数で実行することが出来、そのために作業用のレジスタを必要としないという効果がある。

4. 図面の簡単な説明

第 1 図は本発明の構成を示すブロック図、

第 2 図は本発明の一実施例に係る電子計算機の一部の命令の命令フォーマットを示す図、

第 3 図は本発明の一実施例に係る電子計算機の構成を示すブロック図である。

I E R … 即値拡張レジスタ

P R E F … 前置状態記憶手段

(前置状態フラグ)

C A T … 連結手段(連結器)

B X … ビット拡張手段

I V S … 選択手段

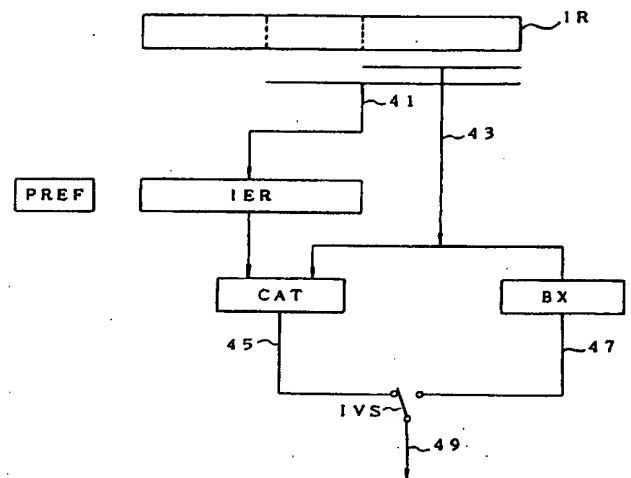
I V S 1、I V S 2 … 即値選択器

I R … 命令レジスタ

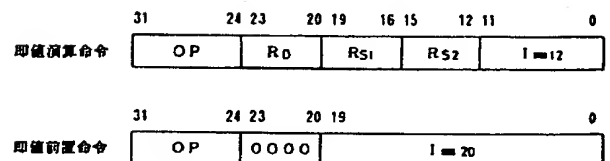
S X … 符号拡張器

Z X … 零拡張器

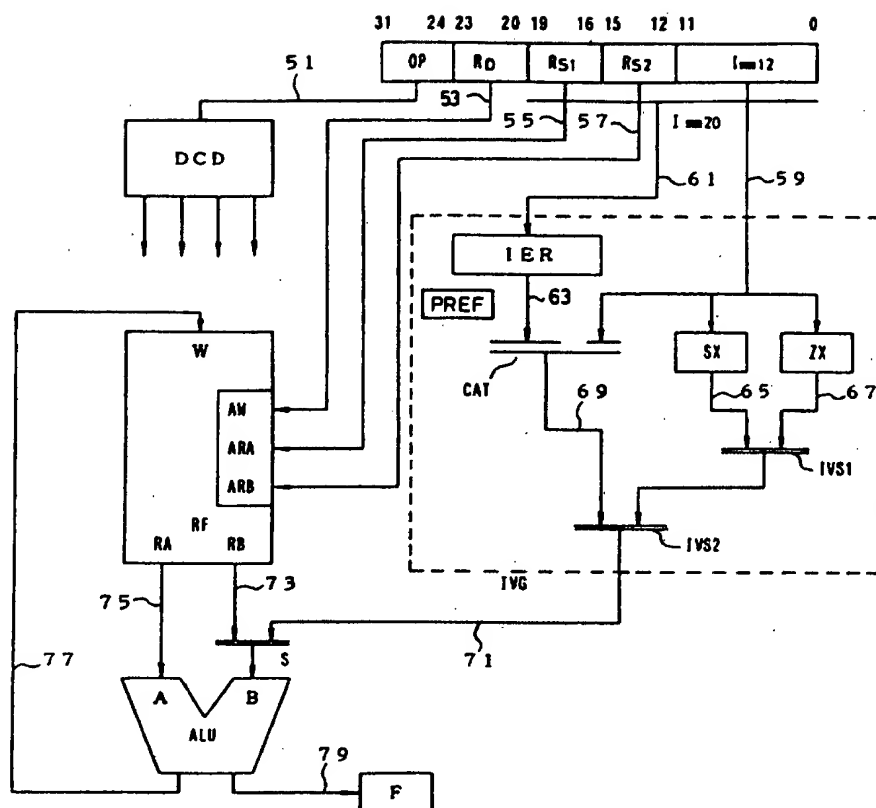
代理人弁理士 三 好 秀 和



第 1 図



第 2 図



第 3 図